

Docket No.: 60188-777

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Takefumi YOSHIKAWA	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 20, 2004	:	Examiner:
	:	
For: DATA TRANSMITTING/RECEIVING DEVICE	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

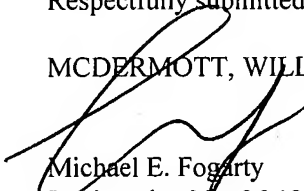
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claim the priority of:

Japanese Patent Application No. JP 2003-064376, filed on March 11, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: February 20, 2004



60188-777
Takefumi YASHIKAWA
February 20, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 4 3 7 6
Application Number:

[ST. 10/C]: [J P 2 0 0 3 - 0 6 4 3 7 6]

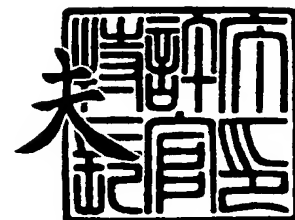
出 願 人 松下電器産業株式会社
Applicant(s):



2 0 0 3 年 7 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 9 3 9 6



【書類名】 特許願

【整理番号】 2037640131

【提出日】 平成15年 3月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 7/033

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 吉河 武文

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ送受信装置

【特許請求の範囲】

【請求項 1】 受信した第 1 のシリアルデータを第 1 のパラレルデータに変換して出力するシリアルパラレル変換回路と、

前記第 1 のパラレルデータ及び外部から入力される第 2 のパラレルデータのいずれか一方を選択して出力するデータ選択回路と、

前記データ選択回路が出力する前記第 1 のパラレルデータ又は前記第 2 のパラレルデータを送信用の第 2 のシリアルデータに変換して出力するパラレルシリアル変換回路とを備えていることを特徴とするデータ送受信装置。

【請求項 2】 前記パラレルシリアル変換回路は、前記データ選択回路が前記第 1 のパラレルデータを選択する場合に、前記シリアルパラレル変換回路と同期して動作することを特徴とする請求項 1 に記載のデータ送受信装置。

【請求項 3】 第 1 のクロック信号と前記第 1 のシリアルデータとを受け、前記第 1 のクロック信号を調整して前記第 1 のシリアルデータと同期した第 2 のクロック信号を出力するクロック調整回路をさらに備え、

前記シリアルパラレル変換回路は前記第 2 のクロック信号と同期して動作することを特徴とする請求項 1 に記載のデータ送受信装置。

【請求項 4】 前記第 1 のクロック信号及び前記第 2 のクロック信号のいずれか一方を選択して前記パラレルシリアル変換回路に入力するクロック選択回路をさらに備え、

前記クロック選択回路は、前記データ選択回路が前記第 1 のパラレルデータを選択する場合には前記第 2 のクロック信号を選択し、前記データ選択回路が前記第 2 のパラレルデータを選択する場合には前記第 1 のクロック信号を選択することを特徴とする請求項 2 に記載のデータ送受信装置。

【請求項 5】 受信した第 1 のシリアルデータを第 1 のパラレルデータに変換して出力するシリアルパラレル変換回路と、

第 2 のパラレルデータを出力するデータ処理回路と、

前記データ処理回路の動作を停止する制御回路と、

前記第1の平行データ及び前記第2の平行データのいずれか一方を選択して出力するデータ選択回路と、

前記データ選択回路が出力する前記第1の平行データ又は前記第2の平行データを送信用のシリアルデータに変換して出力する平行シリアル変換回路とを備えていることを特徴とするデータ送受信装置。

【請求項6】 前記平行シリアル変換回路は、前記データ選択回路が前記第1の平行データを選択する場合、前記シリアル平行変換回路と同期して動作する請求項5に記載のことを特徴とするデータ送受信装置。

【請求項7】 第1のクロック信号と前記第1のシリアルデータとを受け、前記第1のクロック信号を調整して前記第1のシリアルデータと同期した第2のクロック信号を出力するクロック調整回路をさらに備え、

前記シリアル平行変換回路は前記第2のクロック信号と同期して動作することを特徴とする請求項6に記載のデータ送受信装置。

【請求項8】 前記第1のクロック信号及び前記第2のクロック信号のいずれか一方を選択して前記平行シリアル変換回路に入力するクロック選択回路をさらに備え、

前記クロック選択回路は、前記データ選択回路が前記第1の平行データを選択する場合には前記第2のクロック信号を選択し、前記データ選択回路が前記第2の平行データを選択する場合には前記第1のクロック信号を選択することを特徴とする請求項7に記載のデータ送受信装置。

【請求項9】 前記データ処理回路は、それぞれが前記クロック調整回路からの距離が互いに異なるように設けられた複数のユニットに分割されており、

前記制御回路は、前記データ処理回路の動作を前記各ユニット毎に独立して停止することを特徴とする請求項7又は8に記載のデータ送受信装置。

【請求項10】 受信した第1のシリアルデータを格納するラッチ回路と、前記第1のシリアルデータを第1の平行データに変換して出力するシリアル平行変換回路と、

外部から入力された第2の平行データを第2のシリアルデータに変換して出力する平行シリアル変換回路と、

前記第1のシリアルデータ及び前記第2のシリアルデータのいずれか一方を選択して送信データとして出力するデータ選択回路とを備えていることを特徴とするデータ送受信装置。

【請求項11】 第1のクロック信号と前記第1のシリアルデータとを受け、前記第1のクロック信号を調整して前記第1のシリアルデータと同期した第2のクロック信号を出力するクロック調整回路をさらに備え、

前記ラッチ回路及び前記シリアルパラレル変換回路は前記第2のクロック信号と同期して動作することを特徴とする請求項10に記載のデータ送受信装置。

【請求項12】 受信した第1のシリアルデータを格納するラッチ回路と、前記第1のシリアルデータを第1のパラレルデータに変換して出力するシリアルパラレル変換回路と、

第2のパラレルデータを出力するデータ処理回路と、

前記データ処理回路の動作を停止する制御回路と、

前記第2のパラレルデータを第2のシリアルデータに変換して出力するパラレルシリアル変換回路と、

前記第1のシリアルデータ及び前記第2のシリアルデータのいずれか一方を選択して送信データとして出力するデータ選択回路とを備えていることを特徴とするデータ送受信装置。

【請求項13】 第1のクロック信号と前記第1のシリアルデータとを受け、前記第1のクロック信号を調整して前記第1のシリアルデータと同期した第2のクロック信号を出力するクロック調整回路をさらに備え、

前記ラッチ回路及び前記シリアルパラレル変換回路は前記第2のクロック信号と同期して動作することを特徴とする請求項12に記載のデータ送受信装置。

【請求項14】 前記制御回路が前記データ処理回路を停止する場合、前記パラレルシリアル変換回路及び前記シリアルパラレル変換回路はそれぞれの動作を停止することを特徴とする請求項12又は13に記載のデータ送受信装置。

【請求項15】 前記データ処理回路は、それぞれが前記クロック調整回路からの距離が互いに異なるように設けられた複数のユニットに分割されており、前記制御回路は、前記データ処理回路の動作を前記各ユニット毎に独立して停

止することを特徴とする請求項 13 に記載のデータ送受信装置。

【請求項 16】 前記制御回路が前記複数のユニットのうちの少なくとも 1 つを停止する場合、前記パラレルシリアル変換回路及び前記シリアルパラレル変換回路はそれぞれの動作を停止することを特徴とする請求項 15 に記載のデータ送受信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データの送信及び受信を行うデータ送受信装置に関し、特にシリアルデータとパラレルデータとの変換を含むデータ送受信装置に関する。

【0002】

【従来の技術】

従来より、データの送信と受信とを行うデータ送受信装置が L S I 化されて広く利用されている。特に、シリアルデータにより送信及び受信を行うデータ送受信装置には、内部又は外部に設けられたデータ処理部からパラレルデータにより入出力されるため、パラレルシリアル変換回路及びシリアルパラレル変換回路が設けられている。

【0003】

図 8 は従来のデータ送受信装置を示す回路構成を示している。図 8 に示すように、従来のデータ送受信装置 100 は、差動信号を伝送する送信用シリアルポート 101 及び受信用シリアルポート 102 と、シリアルデータである送信データ TD を差動信号 (TD+, TD-) として送信用シリアルポート 101 に出力するドライバ 103 と、受信用シリアルポート 102 から受信される差動信号 (RD+, RD-) をシリアルデータである受信データ RD として出力するレシーバ 104 と、10 ビット幅のパラレルデータをシリアルデータに変換して出力するパラレルシリアル変換回路 (P/S 回路) 105 と、シリアルデータを 10 ビット幅のパラレルデータに変換して出力するシリアルパラレル変換回路 (S/P 回路) 106 とを備えている。また、パラレルシリアル変換回路 105 の動作クロックを供給する回路として位相同期ループ (PLL: Phase locked Loop) 10

7が設けられており、シリアルパラレル変換回路106の動作クロックを供給する回路としてクロックリカバリユニット(CRU)108が設けられている。

【0004】

パラレルシリアル変換回路105は、PLL107が出力する内部クロックCLKを動作クロックとして、データ処理を行う外部回路(図示せず)からの入力データDIN[0:9]を1ビット幅の送信データTDに変換してドライバ103に出力する。ここで、PLL107は、外部から入力される基準クロックRefCLKの周波数を10倍にして内部クロックCLKとして出力する。

【0005】

また、シリアルパラレル変換回路106は、リカバリクロックRCLKを動作クロックとして受信用シリアルポート102からレシーバ104を介して受信された受信データRDを10ビット幅の出力データDOUT[0:9]に変換して外部回路に出力する。

【0006】

ここで、シリアルパラレル変換回路106において受信データRDをラッチしてパラレルデータに展開する際に、受信データRDの立ち上がりエッジから2分の1周期ずれたタイミングでラッチすることにより、ビットエラーを低減して確実なデータ抽出が可能となる。

【0007】

そこで、CRU108において、内部クロックCLKの周波数及び位相を調整することにより受信データRDと周波数が一致し且つ位相が2分の1周期ずれたリカバリクロックRCLKを出力する。

【0008】

ところで、従来のデータ送受信装置100の信頼性評価方法として、送信用シリアルポート101と受信用シリアルポート102とを接続し、入力データDIN[0:9]と出力データDOUT[0:9]とが一致するか否かを判定する、ループバックテストと呼ばれる評価方法が用いられる。ループバックテストは、ドライバ103、レシーバ104、パラレルシリアル変換回路105及びシリアルパラレル変換回路106の異常動作をチェックする上で有効である。

【0009】

また、ループバックテストに加えて、受信データRDにジッタが付加されていても、CRU108が受信データRDのジッタに追従してリカバリクロックRCLKを出力するかどうかを評価するために、データ送受信装置のジッタ追従性（ジッタトレランス）を測定することが好ましい。

【0010】

図9は従来のデータ送受信装置100に対するジッタトレランス測定システムを示している。図9に示すように、データジェネレータ111により1ビット幅の検査用データを生成し、生成した検査用データをデータ送受信装置100の受信用シリアルポート102に入力する。そして、データ送受信装置100が出力する出力データDOUT[0:9]をデータアナライザ112に入力する。この際、クロック変調器113を用いてデータジェネレータ111の動作クロックを変調することにより、検査用データには所望のジッタが付加されている。また、データアナライザ112は10ビット幅の平行データを処理するため、データジェネレータ111に用いる動作クロックを分周器114により10分の1に分周してデータアナライザ112の動作クロックとして供給する。

【0011】

【特許文献1】

特開平11-88312号公報

【特許文献2】

特開2000-67577号公報

【特許文献3】

特開2002-300143号公報

【0012】

【発明が解決しようとする課題】

しかしながら、前記従来のデータ送受信装置に対するジッタトレランス測定システムにおいて、データアナライザ112は、内部のPLLを介して動作クロックを得ているため、クロック変調器113により変調されたクロックを分周器114を介してデータアナライザ112に入力しても、データアナライザ112内

部のPLLによりクロックの変調がフィルタリングされてしまう。このため、データ送受信装置100が出力する変調された出力データDOUTの周波数と、データアナライザ112の動作クロックとが一致せず、データ送受信装置100が受信データRDのジッタに追従して受信したデータが誤りなく出力されている場合であっても、ビットエラーが生じたものと誤認識してしまい、ジッタトレランスを適切に測定できないという問題が生じる。

【0013】

このような問題に対し、データアナライザ112に供給するデータをシリアルデータとすることにより、分周器114を用いずに且つデータアナライザ112内部のPLLを非活性化してジッタトレランスを測定する方法が考えられる。

【0014】

しかし、前記従来のデータ送受信装置では、CRU108が出力するシリアルデータをそのままデータアナライザ112に供給しようとしても、データ送受信装置100の出力バッファは出力データDOUTのビット速度に合わせて設計されているため、受信データRDのビット速度に対応できない。

【0015】

以上説明したように、前記従来のデータ送受信装置によると、ジッタトレランスを測定する場合にパラレルデータを分析するため、データ送受信装置のジッタトレランスを適切に測定することが困難であるという問題を有している。

【0016】

本発明は、前記従来の問題を解決し、データ送受信装置のジッタトレランスを適切に測定できるようにする。

【0017】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、シリアルデータを用いてジッタトレランスを測定できるように、受信用シリアルポートが受信したデータを送信シリアルポートから送信できるようにする構成とする。

【0018】

具体的に、本発明に係る第1のデータ送受信装置は、受信した第1のシリアル

データを第1の平行データに変換して出力するシリアル平行変換回路と、第1の平行データ及び外部から入力される第2の平行データのいずれか一方を選択して出力するデータ選択回路と、データ選択回路が出力する第1の平行データ又は第2の平行データを送信用の第2のシリアルデータに変換して出力する平行シリアル変換回路とを備えている。

【0019】

本発明に係る第1のデータ送受信装置によると、第1の平行データ又は第2の平行データを選択して平行シリアル変換回路に入力するデータ選択回路を備えているため、ジッタトレランスを測定する際にはデータ選択回路にシリアル平行変換回路が出力する平行データを選択させることができるので、ジッタが付加された検査用データを第1のシリアルデータとして第1のデータ送受信装置の受信ポートに入力し、シリアル平行変換回路及び平行シリアル変換回路を介して送信ポートに出力された第2のシリアルデータを分析することにより、ジッタトレランスを測定することができる。

【0020】

本発明の第1のデータ送受信装置において、平行シリアル変換回路は、データ選択回路が第1の平行データを選択する場合に、シリアル平行変換回路と同期して動作することがこのましい。

【0021】

このようにすると、平行シリアル変換回路がシリアル平行変換回路と同期して動作することにより、前述のようにしてジッタトレランスを測定する場合に、検査用データと同期したシリアルデータが送信ポートから出力されるので、検査用データを出力する装置の動作クロックを用いてデータを分析することにより、容易に且つ確実にジッタトレランスを測定することができる。

【0022】

本発明の第1のデータ送受信装置は、第1のクロック信号と第1のシリアルデータとを受け、第1のクロック信号を調整して第1のシリアルデータと同期した第2のクロック信号を出力するクロック調整回路をさらに備え、シリアル平行変換回路は第2のクロック信号と同期して動作することが好ましい。

【0023】

このようにすると、シリアルパラレル変換回路は受信したシリアルデータと同期するため、シリアルパラレル変換回路におけるビットエラーが低減される。

【0024】

本発明の第1のデータ送受信装置は、第1のクロック信号及び第2のクロック信号のいずれか一方を選択してパラレルシリアル変換回路に入力するクロック選択回路をさらに備え、クロック選択回路は、データ選択回路が第1のパラレルデータを選択する場合には第2のクロック信号を選択し、データ選択回路が第2のパラレルデータを選択する場合には第1のクロック信号を選択することが好ましい。

【0025】

このようにすると、データ選択回路が第1のパラレルデータを選択する場合、第2のクロック信号がパラレルシリアル変換回路に入力されるので、パラレルシリアル変換回路とシリアルパラレル変換回路との同期を確実にとることができる。

【0026】

本発明に係る第2のデータ送受信装置は、受信した第1のシリアルデータを第1のパラレルデータに変換して出力するシリアルパラレル変換回路と、第2のパラレルデータを出力するデータ処理回路と、データ処理回路の動作を停止する制御回路と、第1のパラレルデータ及び第2のパラレルデータのいずれか一方を選択して出力するデータ選択回路と、データ選択回路が出力する第1のパラレルデータ又は第2のパラレルデータを送信用のシリアルデータに変換して出力するパラレルシリアル変換回路とを備えている。

【0027】

本発明に係る第2のデータ送受信装置によると、データ選択回路を備えているため、ジッタが付加された検査用データを第1のシリアルデータとして第1のデータ送受信装置の受信ポートに入力し、送信ポートに出力された第2のシリアルデータを分析することにより、ジッタトレランスを測定することができる。さらに、データ処理回路の動作を停止する制御回路を備えているため、データ処理回

路が動作することによるノイズの影響の有無を評価しながらジッタトレランスの測定を測定することができる。

【0028】

本発明の第2のデータ送受信装置において、パラレルシリアル変換回路は、データ選択回路が第1のパラレルデータを選択する場合、シリアルパラレル変換回路と同期して動作することが好ましい。

【0029】

本発明の第2のデータ送受信装置は、第1のクロック信号と第1のシリアルデータとを受け、第1のクロック信号を調整して第1のシリアルデータと同期した第2のクロック信号を出力するクロック調整回路をさらに備え、シリアルパラレル変換回路は第2のクロック信号と同期して動作することが好ましい。

【0030】

本発明の第2のデータ送受信装置は、第1のクロック信号及び第2のクロック信号のいずれか一方を選択してパラレルシリアル変換回路に入力するクロック選択回路をさらに備え、クロック選択回路は、データ選択回路が第1のパラレルデータを選択する場合には第2のクロック信号を選択し、データ選択回路が第2のパラレルデータを選択する場合には第1のクロック信号を選択することが好ましい。

【0031】

本発明の第2のデータ送受信装置において、データ処理回路は、それぞれがクロック調整回路からの距離が互いに異なるように設けられた複数のユニットに分割されており、制御回路は、データ処理回路の動作を各ユニット毎に独立して停止することが好ましい。

【0032】

このようにすると、データ処理回路の規模及びデータ処理回路とクロック調節回路との距離を評価しながらジッタトレランスを測定することができる。

【0033】

本発明に係る第3のデータ送受信装置は、受信した第1のシリアルデータを格納するラッチ回路と、第1のシリアルデータを第1のパラレルデータに変換して

出力するシリアルパラレル変換回路と、外部から入力された第2の平行データデータを第2のシリアルデータに変換して出力する平行シリアル変換回路と、第1のシリアルデータ及び第2のシリアルデータのいずれか一方を選択して送信データとして出力するデータ選択回路とを備えている。

【0034】

本発明の第3のデータ送受信装置によると、第1のシリアルデータ及び第2のシリアルデータのいずれか一方を選択して送信データとして出力するデータ選択回路を備えているため、ジッタトレランスを測定する際にはデータ選択回路にラッチ回路に格納された第1のシリアルデータを選択させることができるので、ジッタが付加された検査用データを第1のシリアルデータとして入力し、ラッチ回路を介して送信ポートに出力されたデータ分析することによりジッタトレランスを測定することができる。また、シリアルパラレルシリアル変換回路及びシリアルパラレル変換回路を経由しないでシリアルデータが送信されるので、シリアルパラレルシリアル変換回路及びシリアルパラレル変換回路に不具合がある場合であってもデータ送受信装置のジッタトレランスを測定できる。

【0035】

本発明の第3のデータ送受信装置は、第1のクロック信号と第1のシリアルデータとを受け、第1のクロック信号を調整して第1のシリアルデータと同期した第2のクロック信号を出力するクロック調整回路をさらに備え、ラッチ回路及びシリアルパラレル変換回路は第2のクロック信号と同期して動作することが好ましい。

【0036】

本発明に係る第4のデータ送受信装置は、受信した第1のシリアルデータを格納するラッチ回路と、第1のシリアルデータを第1の平行データに変換して出力するシリアルパラレル変換回路と、第2の平行データを出力するデータ処理回路と、データ処理回路の動作を停止する制御回路と、第2の平行データを第2のシリアルデータに変換して出力する平行シリアル変換回路と、第1のシリアルデータ及び第2のシリアルデータのいずれか一方を選択して送信データとして出力するデータ選択回路とを備えている。

【0037】

本発明に係る第4のデータ送受信装置によると、データ選択回路を備えているため、ジッタが付加された検査用データを第1のシリアルデータとして入力し、ラッチ回路を介して送信ポートに出力されたデータ分析することによりジッタトレランスを測定することができる。さらに、データ処理回路の動作を停止する制御回路とを備えているため、データ処理回路が動作することによるノイズの影響の有無を評価しながらジッタトレランスの測定を測定することができる。

【0038】

本発明の第4のデータ送受信装置は、第1のクロック信号と第1のシリアルデータとを受け、第1のクロック信号を調整して第1のシリアルデータと同期した第2のクロック信号を出力するクロック調整回路をさらに備え、ラッチ回路及びシリアルパラレル変換回路は第2のクロック信号と同期して動作することが好ましい。

【0039】

本発明の第4のデータ送受信装置において、制御回路がデータ処理回路を停止する場合、パラレルシリアル変換回路及びシリアルパラレル変換回路はそれぞれの動作を停止することが好ましい。

【0040】

このようにすると、データ処理回路、パラレルシリアル変換回路及びシリアルパラレル変換回路が動作することによるノイズの影響の有無を評価しながらジッタトレランスの測定を測定することができる。

【0041】

本発明の第4のデータ送受信装置において、データ処理回路は、それぞれがクロック調整回路からの距離が互いに異なるように設けられた複数のユニットに分割されており、制御回路は、データ処理回路の動作を各ユニット毎に独立して停止することが好ましい。

【0042】

このようにすると、データ処理回路の規模及びデータ処理回路とクロック調節回路との距離を評価しながらジッタトレランスを測定することができる。

【0043】

本発明の第4のデータ送受信装置において、制御回路が複数のユニットのうち-の少なくとも1つを停止する場合、パラレルシリアル変換回路及びシリアルパラレル変換回路はそれぞれの動作を停止することが好ましい。

【0044】

このようにすると、パラレルシリアル変換回路及びシリアルパラレル変換回路が動作することによるノイズの影響が除去された状態で、データ処理回路の規模及びデータ処理回路とクロック調節回路との距離がジッタトレランスに与える影響をより正確に評価できる。

【0045】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態に係るデータ送受信装置について図面を参照しながら説明する。

【0046】

図1は本発明の第1の実施形態に係るデータ送受信装置のブロック構成を示している。図1に示すように、第1の実施形態に係るデータ送受信装置10Aは、それぞれが差動信号を伝送する送信用シリアルポート11及び受信用シリアルポート12と、シリアルデータを差動信号に変換して出力するドライバ13と、入力された差動信号をシリアルデータに変換して出力するレシーバ14と、10ビット幅のパラレルデータをシリアルデータに変換するパラレルシリアル変換回路(P/S回路)15と、シリアルデータを10ビット幅のパラレルデータに変換するシリアルパラレル変換回路(S/P回路)16と、入力されたクロック信号の周波数を10倍にして出力する位相同期回路(PLL:Phase locked Loop)17と、入力されたシリアルデータに合わせてクロック信号の位相及び周波数を調整して出力するクロックリカバリユニット(CRU:Clock Recovery Unit)18とを備えている。

【0047】

さらに、データ送受信装置10Aは、パラレルシリアル変換回路15に入力さ

れるパラレルデータを選択するデータセクタ19と、パラレルシリアル変換回路15に入力されるクロック信号を選択するクロックセクタ20とが設けられている。

【0048】

また、データ送受信装置10Aは、データ処理を行うLSI等の外部回路（図示せず）と接続されており、データセクタ19は、外部回路から入力される10ビット幅の入力データDIN[0:9]とシリアルパラレル変換回路16が出力する10ビット幅の出力データDOU[0:9]とのいずれか一方を選択してパラレルシリアル変換回路15に入力する。なお、入力データDIN及びパラレルデータDOUにおいて、末尾に付した[0:9]は[0]～[9]の10本の信号線があることを表している。パラレルシリアル変換回路15は、入力されたパラレルデータをシリアルデータに変換して送信データTDとしてドライバ13に出力し、ドライバ13は送信データTDを差動信号（TD+, TD-）として送信用シリアルポート11に送信する。

【0049】

なお、パラレルシリアル変換回路15の動作クロックとして、外部から入力される基準クロックRefCLKに基づいてPLL17が出力する内部クロックCLKと、CRU18が出力するリカバリクロックRCLKとのいずれか一方がクロックセクタ20により選択される。

【0050】

また、データ送受信装置10Aにおいて、受信用シリアルポート12が受信した差動信号（RD+, RD-）は、レシーバ14によりシリアルデータに変換されて受信データRDとして出力される。レシーバ14から出力された受信データRDは、CRU18を介してシリアルパラレル変換回路16に入力され、10ビット幅の出力データDOU[0:9]に変換されて外部回路に出力される。

【0051】

ここで、CRU18は、PLL17からの内部クロックCLKを受け、レシーバ14から入力された受信データRDと周波数が一致し且つ位相が2分の1周期ずれるように内部クロックCLKを調整してリカバリクロックRCLKとして出

力する。これにより、シリアルパラレル変換回路16の動作クロックとしてリカバリクロックRCLKを用いて、受信データRDが確実にラッチされる。

【0052】

一例として、基準クロックRefCLKの周波数が100MHzであり且つ入力データDIN[0:9]のビット速度が100メガビット/秒(bps:bit per second)である場合、PLL17が出力する内部クロックCLKの周波数は1GHzとなる。従って、パラレルシリアル変換回路15は1GHzの内部クロックCLKを動作クロックとして1Gbpsの高速度で送信データTDを出力する。また、レシーバ14は1Gbpsの受信データRDを受信し、CRU18が出力するリカバリクロックRCLKの周波数は1GHzとなり、シリアルパラレル変換回路16はビット速度が100Mbpsの出力データDOUT[0:9]と周波数が100MHzのクロックCLKOUTを出力する。

【0053】

以下に、第1の実施形態のデータ送受信装置10Aの動作について、図1及び図2を用いてモード毎に説明する。

【0054】

データ送受信装置10Aにおいて、データセクタ19及びクロックセクタ20は、データ送受信装置10Aの動作モードを選択する第1の選択信号Sel1により制御される。ここで、第1の選択信号Sel1は、“L”レベルの場合には外部回路のデータを送信する又は送信データTDを外部回路に入力する「通常動作モード」を指定し、“H”レベルの場合には、ジッタトレランス測定システムと接続してジッタトレランスを測定する「テストモード」を指定する。

【0055】

第1の選択信号Sel1を“L”レベルとしてデータ送受信装置10Aを通常動作モードで用いる場合、データセクタ19は入力データDIN[0:9]を選択してパラレルシリアル変換回路15に入力し、且つクロックセクタ20は内部クロックCLKを選択してパラレルシリアル変換回路15に入力する。これにより、パラレルシリアル変換回路15は、内部クロックCLKと同期しながら、外部から入力される入力データDIN[0:9]を送信データTDに変換して

ドライバ13に出力する。従って、外部回路から入力されたデータが送信用シリアルポート11から出力されることとなる。

【0056】

また、第1の選択信号S e l 1を“H”レベルとしてデータ送受信装置10Aをテストモードで用いる場合、データセクタ19は出力データD O U T [0 : 9]を選択してパラレルシリアル変換回路15に入力し、且つクロックセクタ20はリカバリクロックR C L Kを選択してパラレルシリアル変換回路15に入力する。これにより、パラレルシリアル変換回路15は、シリアルパラレル変換回路16と同期しながら、出力データD O U T [0 : 9]を送信データT Dに変換してドライバ13出力する。従って、受信用シリアルポート12から入力されたデータが送信用シリアルポート11から出力されることとなる。

【0057】

図2はテストモードに用いるジッタトレランス測定システムのブロック構成を示している。データ送受信装置10Aをテストモードで用いる場合、図2に示すように、検査用データを出力するデータジェネレータ21をデータ送受信装置10Aの受信用シリアルポート12と接続し、データアナライザ22をデータ送受信装置10Aの送信用シリアルポート11と接続する。

【0058】

データジェネレータ21はクロック変調器23が出力する1 G H zの変調クロックと同期してデータを生成することにより、所望の変動量のジッタが付加された検査用データを受信用シリアルポート12に送信する。このとき、データ送受信装置10Aの送信用シリアルポート11からは受信用シリアルポート12が受信したデータを出力するため、データアナライザ22により送信用シリアルポート11から送信されたデータを解析してビットエラーの有無を調べることにより、データ送受信装置10Aのジッタトレランスを評価できる。

【0059】

以上説明したように、第1の実施形態のデータ送受信装置10Aによると、出力データD O U Tをパラレルシリアル変換回路に入力するデータセクタ19を備えているため、受信データR Dを送信データT Dとしてデータアナライザに送

信して分析できるので、容易に且つ確実にジッタトレランスの測定試験ができる。

【0060】

(第1の実施形態の第1変形例)

以下、本発明の第1の実施形態の第1変形例に係るデータ送受信装置について図面を参照しながら説明する。

【0061】

図3は本発明の第1の実施形態の第1変形例に係るデータ送受信装置のブロック構成を示している。図3において、図1に示す部材と同一の部材については同一の符号を付すことにより説明を省略する。

【0062】

図3に示すように、第1の実施形態の第1変形例に係るデータ送受信装置30は、パラレルデータの入力及び出力を行うデジタルブロック31がデータ送受信装置30の内部に設けられており、デジタルブロック31の動作を停止する手段として論理セル32を有している点が第1の実施形態と異なっている。

【0063】

デジタルブロック31は外部から入力される基準クロックRefCLKを動作クロックとして動作し、データセクタ19を介してパラレルシリアル変換回路15に入力データDIN[0:9]を入力すると共に、シリアルパラレル変換回路16が出力する出力データDOUT[0:9]及び出力クロックCLKOUTを受ける。

【0064】

また、論理セル32は、第2の選択信号Sel2を受けて基準クロックRefCLKをデジタルブロック31に供給するか否かを制御する。ここで、論理セル32は、第2の選択信号Sel2が“L”レベルである場合にはデジタルブロック31に基準クロックRefCLKを供給し、第2の選択信号Sel2“H”レベルである場合には基準クロックRefCLKの供給を停止してデジタルブロック31の動作を停止する。

【0065】

以下に、第1の実施形態の第1変形例に係るデータ送受信装置30の動作について、図2及び図3を用いてモード毎に説明する。

【0066】

第1の選択信号S e l 1を“L”レベルとしてデータ送受信装置30を通常動作モードで用いる場合、第2の選択信号S e l 2を“L”レベルとしてデジタルブロック31に動作クロックを供給しておく。また、データセクタ19はデジタルブロック31が出力する入力データD I N [0:9]を選択してパラレルシリアル変換回路15に入力し、且つクロックセクタ20は内部クロックC L Kを選択してパラレルシリアル変換回路15に入力する。これにより、パラレルシリアル変換回路15は、内部クロックC L Kと同期しながら、デジタルブロック31から入力される入力データD I N [0:9]を送信データT Dに変換してドライバ13に出力する。従って、デジタルブロック31のデータが送信用シリアルポート11から出力されることとなる。

【0067】

また、第1の選択信号S e l 1を“H”レベルとしてデータ送受信装置30をテストモードで用いる場合、データセクタ19は出力データD O U T [0:9]を選択してパラレルシリアル変換回路15に入力し、且つクロックセクタ20はリカバリクロックR C L Kを選択してパラレルシリアル変換回路15に入力する。これにより、パラレルシリアル変換回路15は、シリアルパラレル変換回路16と同期しながら、出力データD O U T [0:9]を送信データT Dに変換してドライバ13に出力する。従って、受信用シリアルポート12から入力されたデータが送信用シリアルポート11から出力されることとなる。

【0068】

なお、第1の実施形態の第1変形例に係るデータ送受信装置30をテストモードで用いる場合には、図2に示すジッタトレランス測定システムと同様に、データジェネレータ21をデータ送受信装置30の受信用シリアルポート12と接続し、データアナライザ22をデータ送受信装置30の送信用シリアルポート11と接続する。そして、データジェネレータ21から検査用データを送信し、データアナライザ22によりビットエラーの有無を調べることにより、データ送受信

装置 30 のジッタトレランスを評価できる。

【0069】

ここで、第 2 の選択信号 S e l 2 が “H” レベルである場合には、論理セル 32 は基準クロック R e f C L K のデジタルブロック 31 への供給を停止するため、デジタルブロック 31 は動作しない。従って、この場合には、デジタルブロック 31 が C R U 18 に与える影響が除去された状態でジッタトレランスを評価できる。

【0070】

一方、第 2 の選択信号 S e l 2 が “L” レベルである場合には、論理セル 32 はデジタルブロック 31 へ基準クロック R e f C L K を供給するため、デジタルブロック 31 が動作して C R U 18 の動作に影響を与える。従って、この場合には、デジタルブロック 31 が C R U 18 の影響を受けた状態でジッタトレランスが評価される。

【0071】

このように、第 1 の実施形態の第 1 変形例に係るデータ送受信装置 30 によると、第 2 の選択信号 S e l 2 によりデジタルブロック 31 の動作を停止することができるため、ジッタトレランスの測定時にデジタルブロック 31 の動作に伴うノイズの影響の有無を評価できるので、ジッタトレランスを定量的に評価することが可能となる。

(第 1 の実施形態の第 2 変形例)

以下、本発明の第 1 の実施形態の第 2 変形例に係るデータ送受信装置について図面を参照しながら説明する。

【0072】

図 4 は本発明の第 1 の実施形態の第 2 変形例に係るデータ送受信装置のブロック構成を示している。図 4 において、図 1 及び図 3 に示す部材と同一の部材については同一の符号を付すことにより説明を省略する。

【0073】

図 4 に示すように、第 1 の実施形態の第 2 変形例に係るデータ送受信装置 40 は、第 1 変形例のデジタルブロック 31 に換えて、C R U 18 からの距離が互い

に異なるユニット A～D に分割されたデジタルブロック 41 が設けられている。
また、4 つのユニット A～D のそれぞれと接続された 4 つの論理セルからなる論理ブロック 42 が設けられており、ユニット A～D と対応する 4 ビット幅の第 2 の選択信号 S e l 2 [0 : 3] により基準クロック R e f C L K の入力制御されている。

【0074】

論理ブロック 42 は、第 2 の選択信号 S e l 2 [0 : 3] に応じてデジタルブロック 41 の各ユニットに供給する動作クロックを独立に制御する。具体的に、第 2 の選択信号 S e l 2 [0 : 3] の各信号 S e l 2 [0] ～ S e l [3] がそれぞれ論理ブロック 42 の各ユニット A～ユニット D と対応し、各信号 S e l 2 [0] ～ S e l [3] が “L” レベルである場合には対応するユニットに基準クロック R e f C L K を供給し、“H” レベルである場合には対応するユニットに対する基準クロック R e f C L K の供給を停止する。

【0075】

以下に、第 1 の実施形態の第 2 変形例に係るデータ送受信装置 40 の動作について、図 2 及び図 4 を用いてモード毎に説明する。

【0076】

第 1 の選択信号 S e l 1 を “L” レベルとしてデータ送受信装置 40 を通常動作モードで用いる場合、第 2 の選択信号 S e l 2 [0 : 3] をすべて “L” レベルとしてデジタルブロック 41 の各ユニットに動作クロックを供給しておく。また、データセレクタ 19 はデジタルブロック 41 が出力する入力データ D I N [0 : 9] を選択してパラレルシリアル変換回路 15 に入力し、且つクロックセレクタ 20 は内部クロック C L K を選択してパラレルシリアル変換回路 15 に入力する。これにより、パラレルシリアル変換回路 15 は、内部クロック C L K と同期しながら、デジタルブロック 41 から入力される入力データ D I N [0 : 9] を送信データ T D に変換してドライバ 13 に出力する。従って、デジタルブロック 41 のデータが送信用シリアルポート 11 から出力されることとなる。

【0077】

また、第 1 の選択信号 S e l 1 を “H” レベルとしてデータ送受信装置 40 を

テストモードで用いる場合、データセクタ19は出力データDOUT[0:9]を選択してパラレルシリアル変換回路15に入力し、且つクロックセクタ20はリカバリクロックRCLKを選択してパラレルシリアル変換回路15に入力する。これにより、パラレルシリアル変換回路15は、シリアルパラレル変換回路16と同期しながら、出力データDOUT[0:9]を送信データTDに変換してドライバ13出力する。従って、受信用シリアルポート12から入力されたデータが送信用シリアルポート11から出力されることとなる。

【0078】

なお、第1の実施形態の第2変形例に係るデータ送受信装置40をテストモードで用いる場合には、図2に示すジッタトレランス測定システムと同様に、データジェネレータ21をデータ送受信装置40の受信用シリアルポート12と接続し、データアナライザ22をデータ送受信装置40の送信用シリアルポート11と接続する。そして、データジェネレータ21から検査用データを送信し、データアナライザ22によりビットエラーの有無を調べることにより、データ送受信装置40のジッタトレランスを評価できる。

【0079】

ここで、デジタルブロック41の各ユニットA～Dは、第2の選択信号Sel2[0:3]における対応する信号が“H”レベルとなっている場合には動作せず、“L”レベルとなっている場合には動作する。従って、例えば、ユニットAのみを駆動した場合と、ユニットDのみを駆動した場合とを比較することにより、CRU18とデジタルブロックとの距離に応じたノイズの影響を評価できる。また、ユニットAのみを駆動した場合と、3つのユニットA～Cを駆動した場合を比較することにより、デジタルブロックの規模に応じたノイズの影響を評価できる。

【0080】

このように、第1の実施形態の第2変形例に係るデータ送受信装置40によると、ジッタトレランスの測定時に、デジタルブロックの規模とCRU18からの距離に応じたノイズの影響を評価できる。

【0081】

なお、第1の実施形態の第2変形例において、デジタルブロック41を構成するユニットは4つに限られず、複数のユニットに分割されていけばよい。デジタルブロック41を構成するユニットの数を変更する場合、第2の選択信号Sel2のビット幅をユニットの数と同数に変更してデジタルブロック41の各ユニットを独立して制御することができる。

【0082】

(第2の実施形態)

以下、本発明の第1の実施形態に係るデータ送受信装置について図面を参照しながら説明する。

【0083】

図5は本発明の第2の実施形態に係るデータ送受信装置のブロック構成を示している。図5において、図1に示す部材と同一の部材については同一の符号を付すことにより説明を省略する。

【0084】

図5に示すように、第2の実施形態に係るデータ送受信装置50は、送信用シリアルポート11及び受信用シリアルポート12と、ドライバ13と、レシーバ14と、パラレルシリアル変換回路15と、シリアルパラレル変換回路16と、PLL17と、CRU18とを備えている。

【0085】

さらに、データ送受信装置50は、ドライバ13に入力する送信データTDを選択するデータセクタ51と、CRU18が出力する受信データRDをラッチするラッチ回路52とが設けられている。

【0086】

ここで、ラッチ回路52は、CRU18が出力するリカバリクロックRCLKと同期して動作し、受信データRDをデータセクタ51とシリアルパラレル変換回路16とに出力する。また、データセクタ51は、ラッチ回路52が出力するシリアルデータ及びパラレルシリアル変換回路15が出力するシリアルデータのいずれか一方を選択してドライバ13に入力する。

【0087】

データ送受信装置 50 は、データ処理を行う L S I 等の外部回路（図示せず）と接続されており、パラレルシリアル変換回路 15 は、外部回路から入力される 10 ビット幅の入力データ D I N [0 : 9] をシリアルデータに変換してデータセクタ 51 に入力し、シリアルパラレル変換回路 16 は、C R U 18 及びラッチ回路 52 を介して入力された受信データ R D を 10 ビット幅の出力データ D O U T [0 : 9] に変換して外部回路に出力する。

【0088】

以下に、第 2 の実施形態のデータ送受信装置 50 の動作について、図 2 及び図 5 を用いてモード毎に説明する。

【0089】

第 1 の選択信号 S e l 1 を “L” レベルとしてデータ送受信装置 50 を通常動作モードで用いる場合、データセクタ 51 はパラレルシリアル変換回路 15 が出力するシリアルデータを選択してドライバ 13 に入力する。従って、外部回路から入力されたデータが送信用シリアルポート 11 から出力されることとなる。

【0090】

また、第 1 の選択信号 S e l 1 を “H” レベルとしてデータ送受信装置 50 をテストモードで用いる場合、データセクタ 51 はラッチ回路 52 が出力するシリアルデータを選択してドライバ 13 に入力する。従って、受信用シリアルポート 12 から入力されたデータが送信用シリアルポート 11 から出力されることとなる。

【0091】

なお、第 2 の実施形態のデータ送受信装置 50 をテストモードで用いる場合には、図 2 に示すジッタトレランス測定システムと同様に、データジェネレータ 21 をデータ送受信装置 50 の受信用シリアルポート 12 と接続し、データアナライザ 22 をデータ送受信装置 50 の送信用シリアルポート 11 と接続する。そして、データジェネレータ 21 から検査用データを送信し、データアナライザ 22 によりビットエラーの有無を調べることにより、データ送受信装置 50 のジッタトレランスを評価できる。

【0092】

第2の実施形態では、テストモード時に受信用データRDがパラレルシリアル変換回路15及びシリアルパラレル変換回路16を経由しないで送信用シリアルポート11に送信されるため、パラレルシリアル変換回路15及びシリアルパラレル変換回路16の不具合の影響を受けることないので、ジッタトレランスを確実に測定することが可能となる。

【0093】

(第2の実施形態の第1変形例)。

以下、本発明の第2の実施形態の第1変形例に係るデータ送受信装置について図面を参照しながら説明する。

【0094】

図6は本発明の第2の実施形態の第1変形例に係るデータ送受信装置のブロック構成を示している。図6において、図5に示す部材と同一の部材については同一の符号を付すことにより説明を省略する。

【0095】

図6に示すように、第2の実施形態の第1変形例に係るデータ送受信装置60は、パラレルデータの入力及び出力を行うデジタルブロック61がデータ送受信装置60の内部に設けられており、デジタルブロック61の動作を停止する手段として論理セル62を有している点が第2の実施形態と異なっている。

【0096】

デジタルブロック61は外部から入力される基準クロックRefCLKを動作クロックとして動作し、パラレルシリアル変換回路15に入力データDIN[0:9]を入力すると共に、シリアルパラレル変換回路16が出力する出力データDOUT[0:9]及び出力クロックCLKOUTを受ける。

【0097】

また、論理セル62は、第2の選択信号Sel2を受けて基準クロックRefCLKをデジタルブロック61に供給するか否かを制御する。ここで、論理セル62は、第2の選択信号Sel2が“L”レベルである場合にはデジタルブロック61に基準クロックRefCLKを供給し、第2の選択信号Sel2“H”レベルである場合には基準クロックRefCLKの供給を停止してデジタルブロッ

ク 6 1 の動作を停止する。

【0098】

ここで、パラレルシリアル変換回路 15 及びシリアルパラレル変換回路 16 のそれぞれのディスイネーブル端子 DES には第 2 の選択信号 Sel2 が入力されている。これにより、第 2 の選択信号 Sel2 が “H” レベルである場合、パラレルシリアル変換回路 15 とシリアルパラレル変換回路 16 との動作が停止される。

【0099】

以下に、第 2 の実施形態の第 1 変形例に係るデータ送受信装置 60 の動作について、図 2 及び図 3 を用いてモード毎に説明する。

【0100】

第 1 の選択信号 Sel1 を “L” レベルとしてデータ送受信装置 60 を通常動作モードで用いる場合、第 2 の選択信号 Sel2 を “L” レベルとしデジタルブロック 61 に動作クロックを供給しておく。すると、パラレルシリアル変換回路 15 は、デジタルブロック 61 が出力する入力データ DIN [0:9] をデータセクタ 51 に入力し、データセクタ 51 が入力データ DIN を選択してドライバ 13 に入力する。従って、デジタルブロック 61 のデータが送信用シリアルポート 11 から出力されることとなる。

【0101】

また、第 1 の選択信号 Sel1 を “H” レベルとしてデータ送受信装置 60 をテストモードで用いる場合には、データセクタ 51 はラッチ回路 52 から出力されたシリアルデータをを選択してドライバ 13 に入力するため、受信用シリアルポート 12 から入力されたデータが送信用シリアルポート 11 から出力されることとなる。

【0102】

ここで、送受信されるデータはパラレルシリアル変換回路 15 及びシリアルパラレル変換回路 16 を経由しないため、第 2 の選択信号 Sel2 を “H” レベルとしてパラレルシリアル変換回路 15 及びシリアルパラレル変換回路 16 の動作を停止してもデータの送受信には問題が生じない。

【0103】

なお、第2の実施形態の第1変形例に係るデータ送受信装置60をテストモードで用いる場合には、図2に示すジッタトレランス測定システムと同様に、データジェネレータ21をデータ送受信装置60の受信用シリアルポート12と接続し、データアナライザ22をデータ送受信装置60の送信用シリアルポート11と接続する。そして、データジェネレータ21から検査用データを送信し、データアナライザ22によりビットエラーの有無を調べることにより、データ送受信装置60のジッタトレランスを評価できる。

【0104】

ここで、第2の選択信号S e l 2が“H”レベルである場合には、論理セル62は基準クロックR e f C L Kのデジタルブロック61への供給を停止するためデジタルブロック61は動作せず、且つパラレルシリアル変換回路15及びシリアルパラレル変換回路16の動作も停止される。これにより、デジタルブロック61、パラレルシリアル変換回路15及びシリアルパラレル変換回路16がC R U 18に与える影響が除去された状態でジッタトレランスを評価できる。

【0105】

一方、第2の選択信号S e l 2が“L”レベルである場合には、論理セル62はデジタルブロック61へ基準クロックR e f C L Kを供給するためデジタルブロック61が動作し、且つパラレルシリアル変換回路15及びシリアルパラレル変換回路16も動作する。これにより、C R U 18がデジタルブロック61、パラレルシリアル変換回路15及びシリアルパラレル変換回路16の影響を受けた状態でジッタトレランスが評価される。

【0106】

このように、第2の実施形態の第1変形例に係るデータ送受信装置60によると、第2の選択信号S e l 2により、デジタルブロック61、パラレルシリアル変換回路15及びシリアルパラレル変換回路16の動作を停止することができるため、ジッタトレランスの測定時にデジタルブロック61、パラレルシリアル変換回路15及びシリアルパラレル変換回路16の動作に伴うノイズの影響の有無を評価できる。

【0107】

(第2の実施形態の第2変形例)

以下、本発明の第2の実施形態の第2変形例に係るデータ送受信装置について図面を参照しながら説明する。

【0108】

図7は本発明の第2の実施形態の第2変形例に係るデータ送受信装置のブロック構成を示している。図7において、図5及び図6に示す部材と同一の部材については同一の符号を付すことにより説明を省略する。

【0109】

図7に示すように、第2の実施形態の第2変形例に係るデータ送受信装置70は、第2変形例のデジタルブロック61に換えて、CRU18からの距離が互いに異なるユニットA～Dに分割されたデジタルブロック71が設けられている。また、4つのユニットA～Dのそれぞれに接続された4つの論理セルからなる論理ブロック72が設けられており、ユニットA～Dと対応する4ビット幅の第2の選択信号Sel2[0:3]により基準クロックRefCLKの入力が制御されている。

【0110】

論理ブロック72は、第2の選択信号Sel2[0:3]に応じてデジタルブロック71の各ユニットに供給する動作クロックを独立に制御する。具体的に、第2の選択信号Sel2[0:3]における1ビット幅の各信号Sel2[0]～Sel[3]は、それぞれが論理ブロック72の各ユニットA～ユニットDと対応し、“L”レベルである場合には対応するユニットに基準クロックRefCLKを供給し、“H”レベルである場合には対応するユニットに対する基準クロックRefCLKの供給を停止する。

【0111】

ここで、第2の選択信号Sel2[0:3]は、4端子のOR回路73に入力され、OR回路73の出力端子はパラレルシリアル変換回路15及びシリアルパラレル変換回路16のそれぞれのディスイネーブル端子DESと接続されている。これにより、第2の選択信号Sel2[0:3]のいずれかのビットが“H”

レベルである場合はパラレルシリアル変換回路 15 とシリアルパラレル変換回路 16 との動作が停止される。

【0112】

以下に、第2の実施形態の第2変形例に係るデータ送受信装置70の動作について、図2及び図7を用いてモード毎に説明する。

【0113】

第1の選択信号Sel1を“L”レベルとしてデータ送受信装置70を通常動作モードで用いる場合、第2の選択信号Sel2[0:3]をすべて“L”レベルとして、デジタルブロック71の各ユニットに動作クロックを供給しておく。すると、パラレルシリアル変換回路15は、デジタルブロック71が出力する入力データDIN[0:9]をデータセクタ51に入力し、データセクタ51が入力データDINを選択してドライバ13に入力する。従って、デジタルブロック71のデータが送信用シリアルポート11から出力されることとなる。

【0114】

また、第1の選択信号Sel1を“H”レベルとしてデータ送受信装置70をテストモードで用いる場合には、データセクタ51はラッチ回路52から出力されたシリアルデータをを選択してドライバ13に入力するため、受信用シリアルポート12から入力されたデータが送信用シリアルポート11から出力されることとなる。

【0115】

ここで、送受信されるデータはパラレルシリアル変換回路15及びシリアルパラレル変換回路16を経由しないため、第2の選択信号Sel2[0:3]のいずれかのビットを“H”レベルとしてパラレルシリアル変換回路15及びシリアルパラレル変換回路16の動作を停止してもデータの送受信には問題が生じない。

【0116】

なお、第2の実施形態の第2変形例に係るデータ送受信装置70をテストモードで用いる場合には、図2に示すジッタトレランス測定システムと同様に、データジェネレータ21をデータ送受信装置70の受信用シリアルポート12と接続

し、データアナライザ 22 をデータ送受信装置 60 の送信用シリアルポート 11 と接続する。そして、データジェネレータ 21 から検査用データを送信し、データアナライザ 22 によりビットエラーの有無を調べることにより、データ送受信装置 70 のジッタトレランスを評価できる。

【0117】

ここで、デジタルブロック 71 の各ユニット A～D は、第 2 の選択信号 S e l 2 [0 : 3] における対応する信号が“H”レベルとなっている場合には動作せず、“L”レベルとなっている場合には動作する。従って、C R U 18 とデジタルブロックとの距離に応じたノイズの影響とデジタルブロックの規模に応じたノイズの影響とを評価できる。

【0118】

また、デジタルブロック 71 の各ユニット A～D のいずれかの動作が停止される場合、O R 回路 73 によりパラレルシリアル変換回路 15 及びシリアルパラレル変換回路 16 の動作が停止されるため、パラレルシリアル変換回路 15 及びシリアルパラレル変換回路 16 の動作の影響を受けない状態で、デジタルブロックの規模と C R U 18 からの距離に応じたノイズの影響を評価できる。

【0119】

【発明の効果】

本発明に係る第 1 のデータ送受信装置又は第 2 のデータ送受信装置によると、シリアルパラレル変換回路が出力するパラレルデータをパラレルシリアル変換回路に入力することができるため、ジッタトレランスを測定する際に外部から検査用データをデータ送受信装置に送信すると、検査用データはデータ送受信装置の送信ポートから出力される。従ってデータ送受信装置の送信ポートから出力されたデータを分析することにより確実にジッタトレランスの測定試験ができる。

【0120】

また、本発明に係る第 3 のデータ送受信装置又は第 4 のデータ送受信装置によると、受信データをラッチし、ラッチした受信データを送信ポートに出力できるため、ジッタトレランスを測定する際にはパラレルシリアル変換回路及びシリアルパラレル変換回路の不具合の影響を受けることなくジッタトレランスを試験が

できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係るデータ送受信装置の構成を示すブロック図である。

【図 2】

本発明の第 1 の実施形態に係るデータ送受信装置に対するジッタトレランスを測定する測定システムを示すブロック図である。

【図 3】

本発明の第 1 の実施形態の第 1 変形例に係るデータ送受信装置の構成を示すブロック図である。

【図 4】

本発明の第 1 の実施形態の第 2 変形例に係るデータ送受信装置の構成を示すブロック図である。

【図 5】

本発明の第 2 の実施形態に係るデータ送受信装置の構成を示すブロック図である。

【図 6】

本発明の第 2 の実施形態の第 1 変形例に係るデータ送受信装置の構成を示すブロック図である。

【図 7】

本発明の第 2 の実施形態の第 2 変形例に係るデータ送受信装置の構成を示すブロック図である。

【図 8】

従来のデータ送受信装置の構成を示すブロック図である。

【図 9】

従来のデータ送受信装置に対するジッタトレランスを測定する測定システムを示すブロック図である。

【符号の説明】

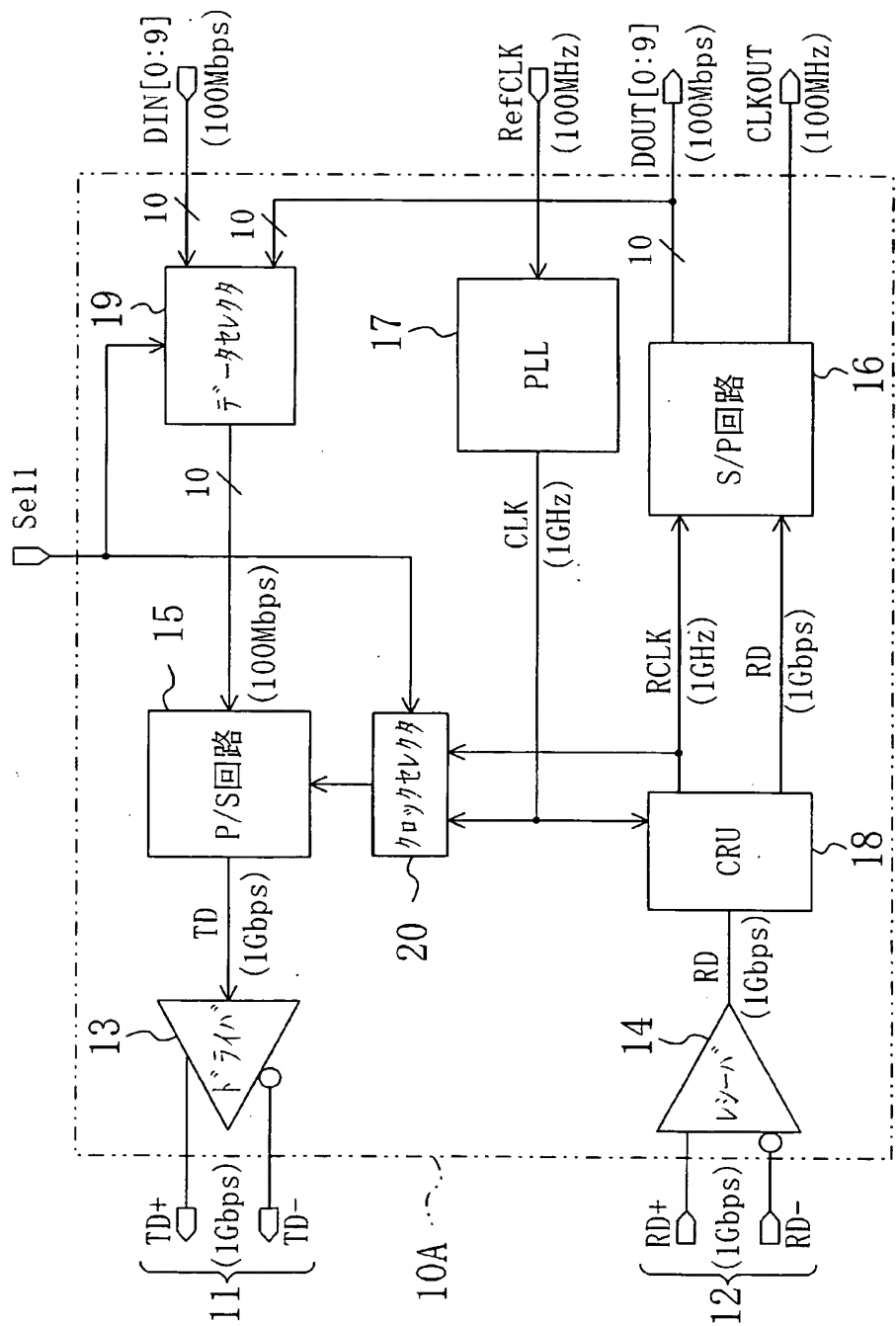
- 10 データ送受信装置
- 11 送信用シリアルポート
- 12 受信用シリアルポート
- 13 ドライバ
- 14 レシーバ
- 15 パラレルシリアル変換回路 (P/S回路)
- 16 シリアルパラレル変換回路 (S/P回路)
- 17 PLL
- 18 CRU (クロック調整回路)
- 19 データセクタ (データ選択回路)
- 20 クロックセクタ (クロック選択回路)
- 21 データジェネレータ
- 22 データアナライザ
- 23 クロック変調器
- 30 データ送受信装置
- 31 デジタルブロック (データ処理回路)
- 32 論理セル (制御回路)
- 40 データ送受信装置
- 41 デジタルブロック (データ処理回路)
- 42 論理ブロック (制御回路)
- 50 データ送受信装置
- 51 ラッチ回路
- 52 データセクタ
- 60 データ送受信装置
- 61 デジタルブロック (データ処理回路)
- 62 論理セル (制御回路)
- 70 データ送受信装置
- 71 デジタルブロック (データ処理回路)
- 72 論理ブロック (制御回路)

73 OR回路

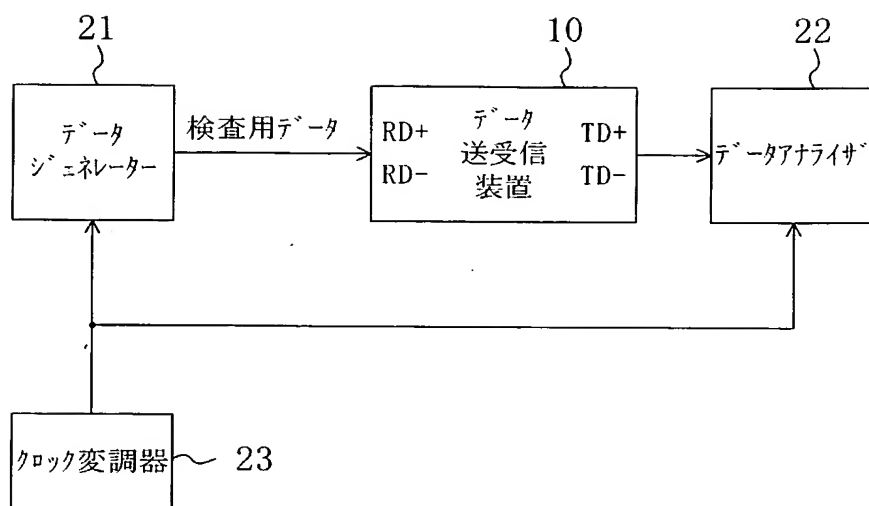
D I N	入力データ (第2の平行データ)
D O U T	出力データ (第1の平行データ)
T D	送信データ (第2のシリアルデータ)
R D	受信データ (第1のシリアルデータ)
R e f C L K	基準クロック
C L K	内部クロック (第1のクロック信号)
R C L K	リカバリクロック (第2のクロック信号)
S e l 1	第1の選択信号
S e l 2	第2の選択信号

【書類名】 図面

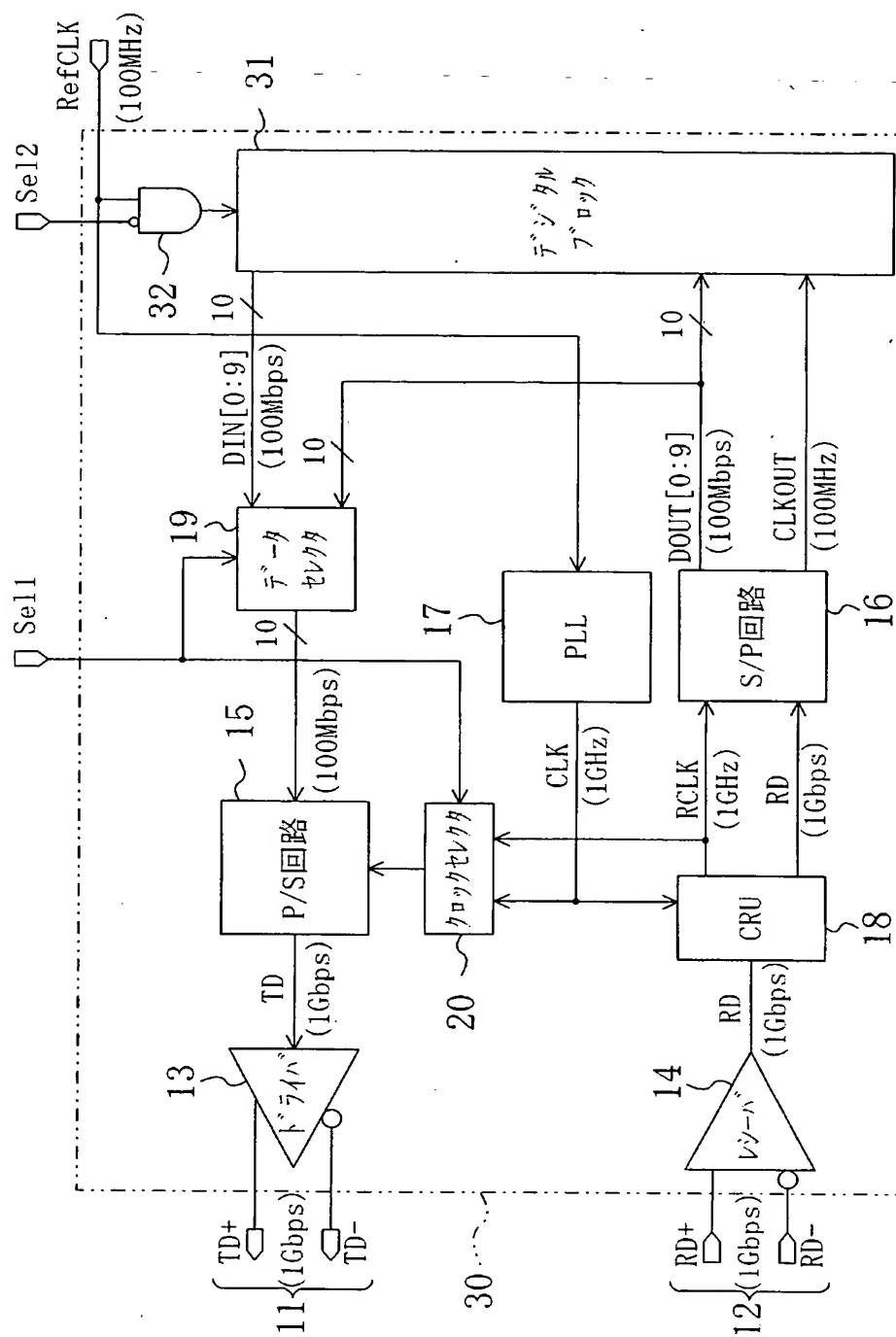
【図 1】



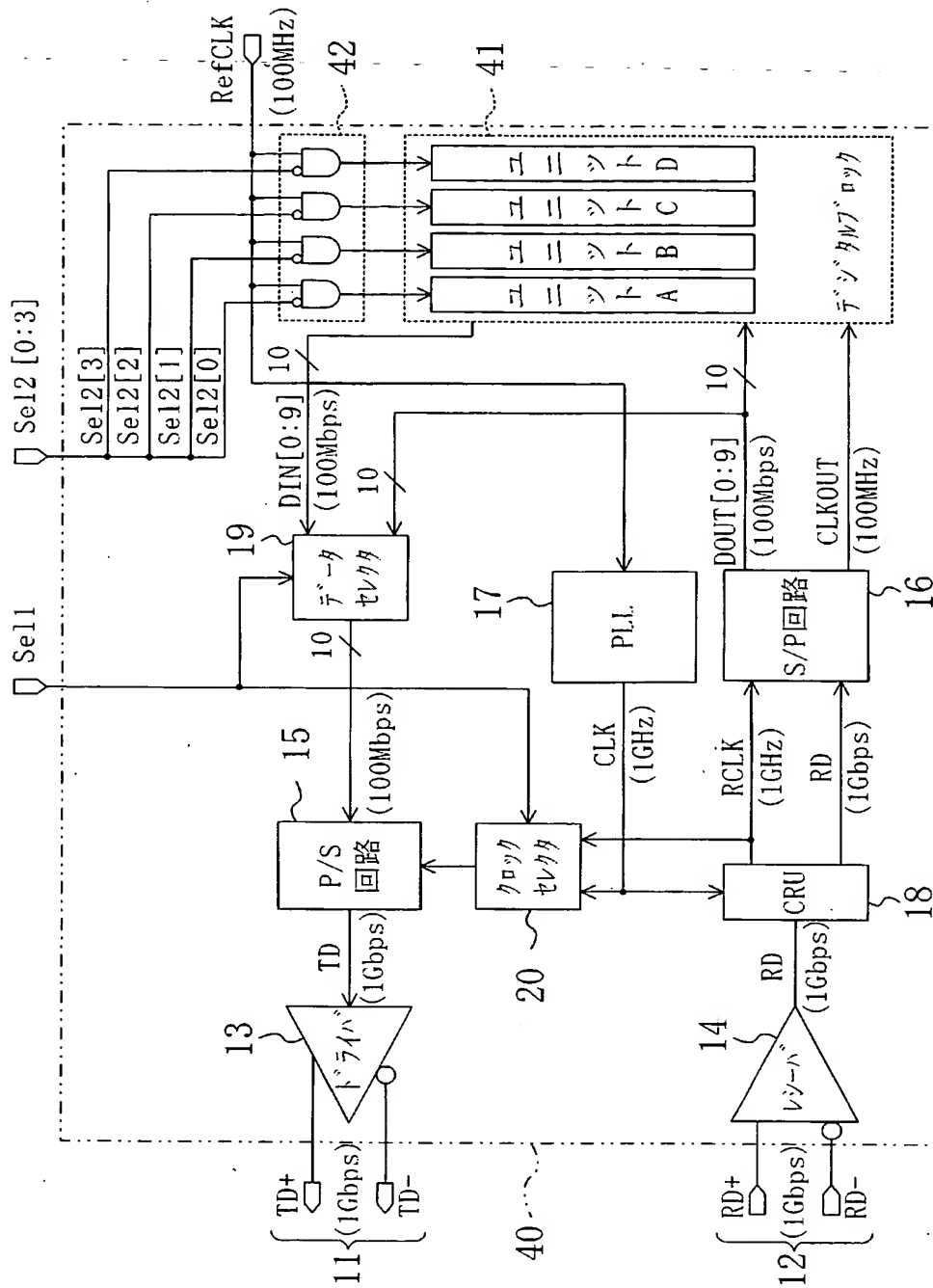
【図 2】



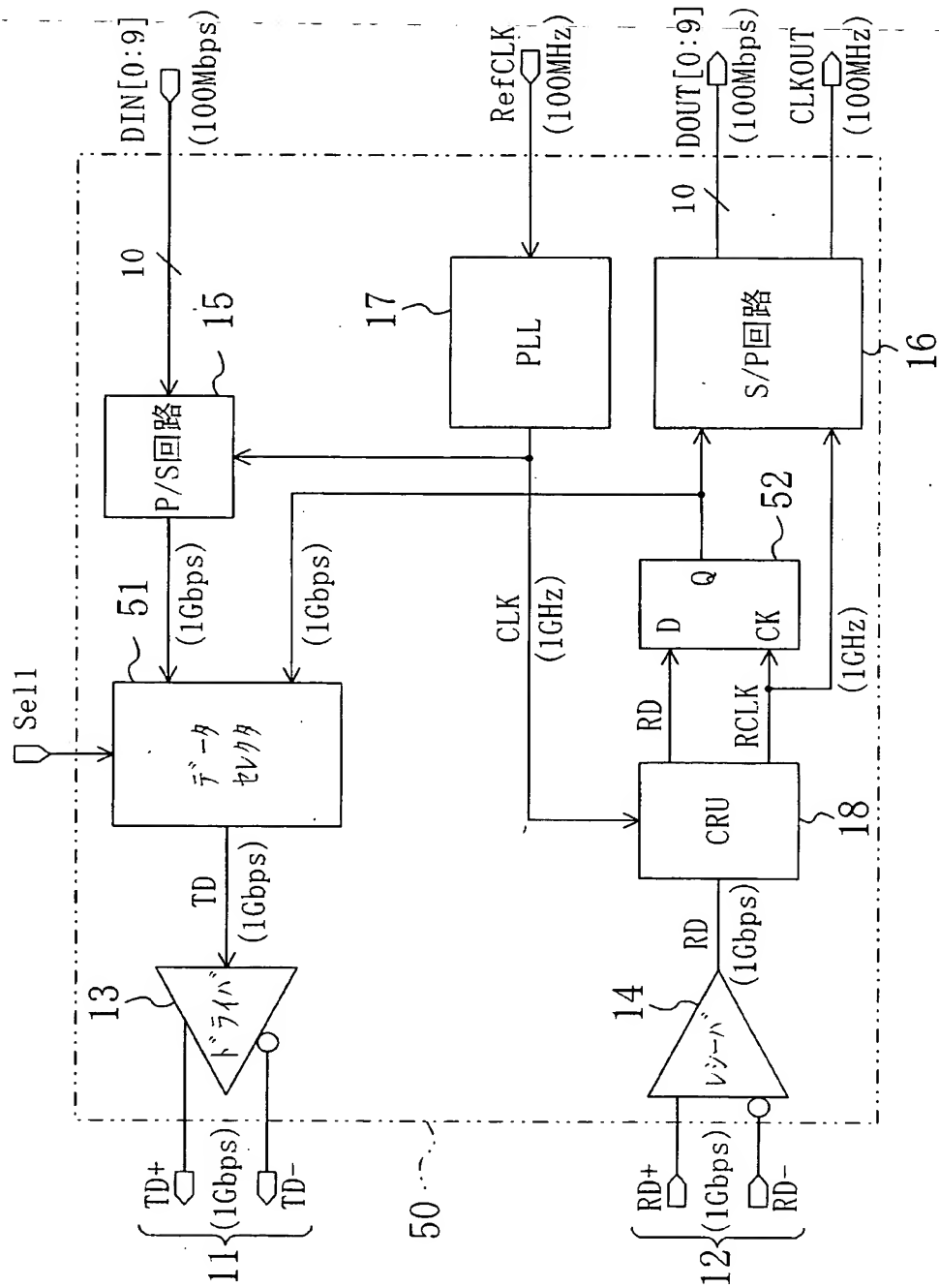
【図 3】



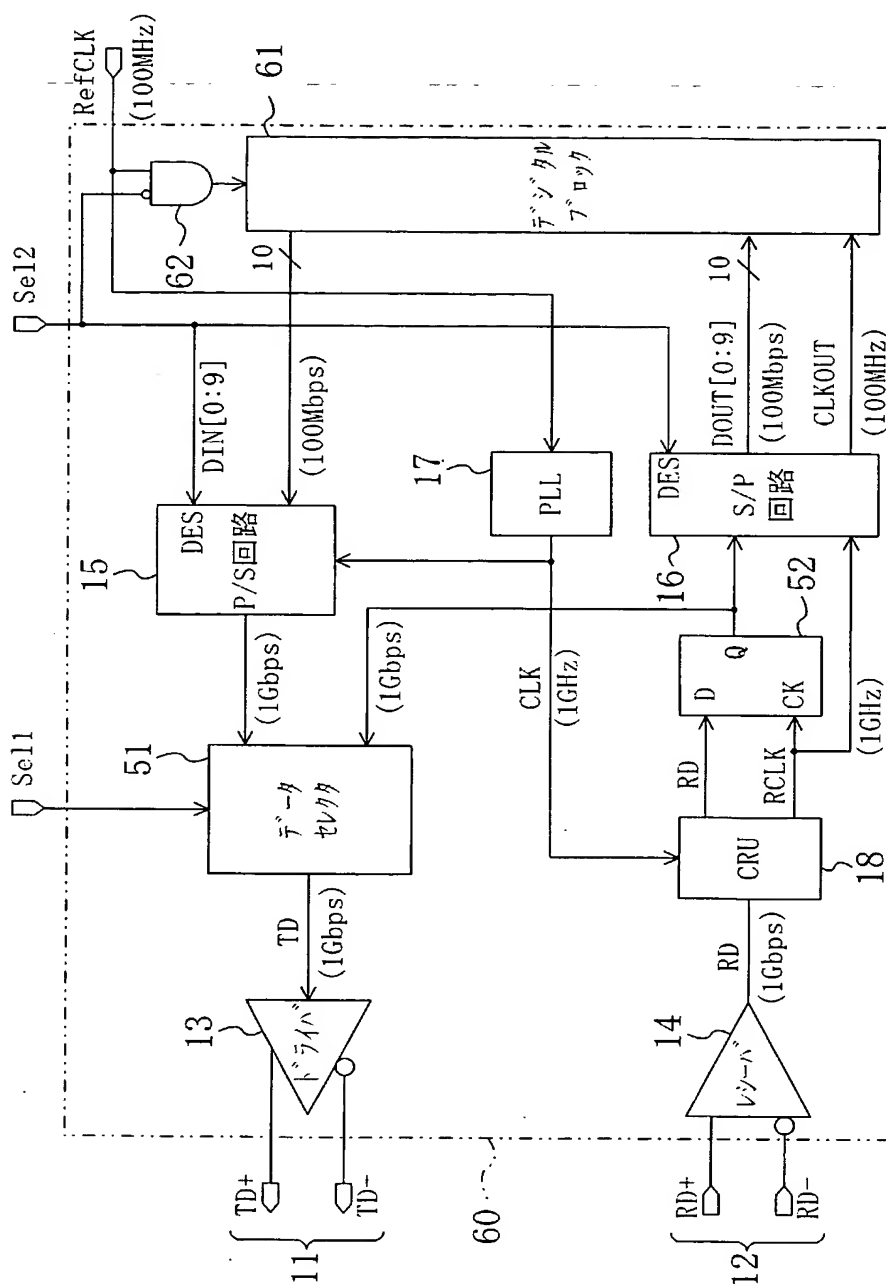
【図4】



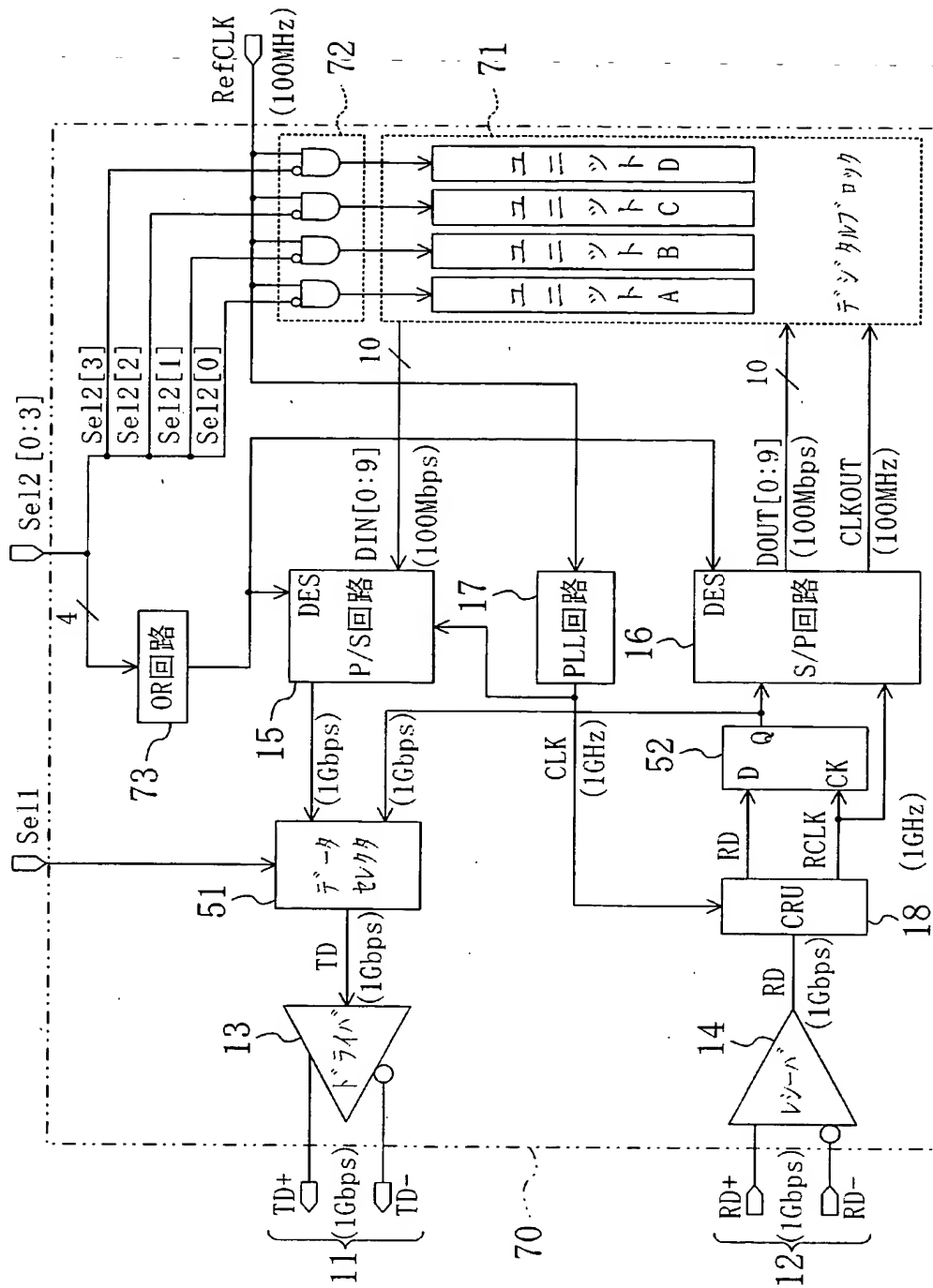
【図 5】



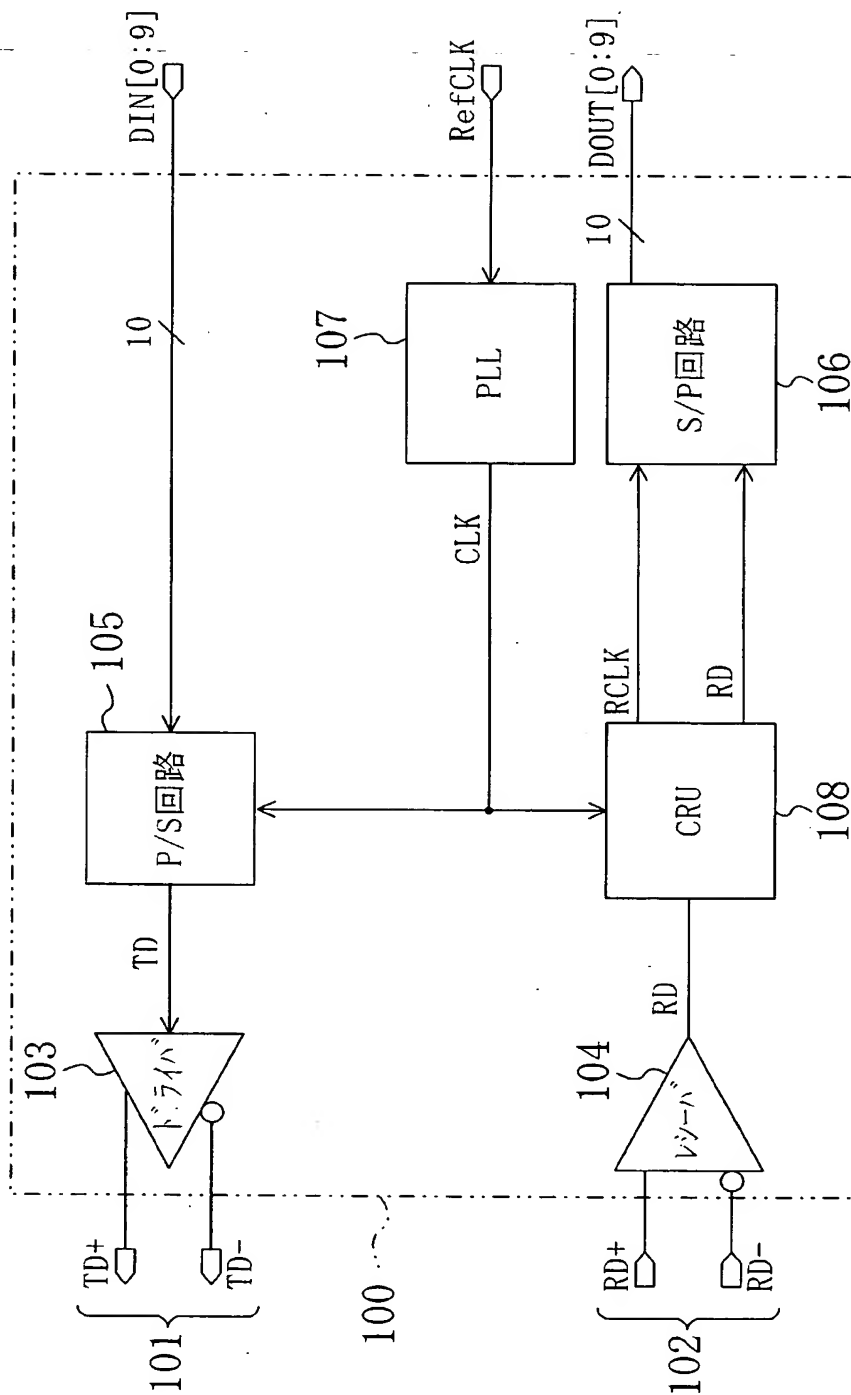
【図 6】



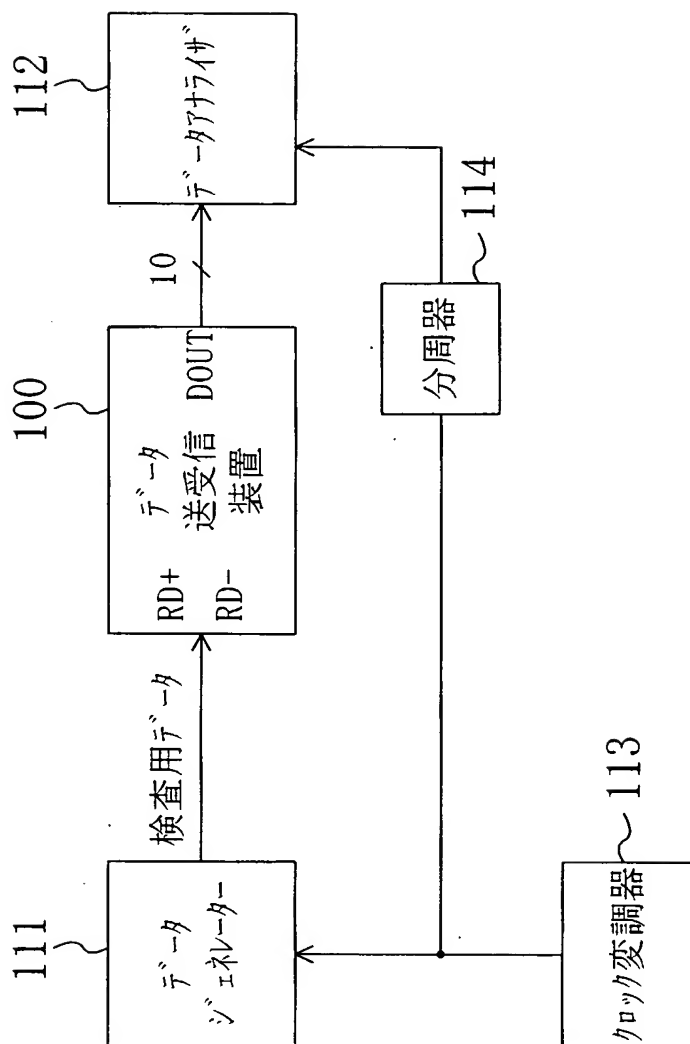
【図7】



【図 8】



【図 9】





【書類名】 要約書

【要約】

【課題】 データ送受信装置のジッタトレランスを適切に測定できるようにする。

【解決手段】 データ送受信装置 10 A は、パラレルデータを送信用のシリアルデータ（送信データ TD）に変換するパラレルシリアル変換回路 15 と、受信したシリアルデータ（受信データ RD）をパラレルデータに返還するシリアルパラレル変換回路 16 と、入力データ DIN [0:9] 及び出力データ DOUT [0:9] のいずれか一方を選択してパラレルシリアル変換回路 15 に入力するデータセクタ 19 と、内部クロック CLK 及びリカバリクロック RCLK のいずれか一方を選択してパラレルシリアル変換回路 15 に入力するクロックセクタ 20 とを備えている。ジッタトレランスを測定する場合には、パラレルシリアル変換回路 15 には、データセクタ 19 から出力データ DOUT [0:9] が入力され且つクロックセクタ 20 からリカバリクロック RCLK が入力される。

【選択図】 図 1

特願 2 0 0 3 - 0 6 4 3 7 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社